

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

⑫ 公開特許公報(A)

昭62-283664

⑬ Int.Cl.⁴H 01 L 29/78
21/205
27/12

識別記号

庁内整理番号

8422-5F
7739-5F
7514-5F

⑭ 公開 昭和62年(1987)12月9日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 昭61-125754

⑰ 出 願 昭61(1986)6月2日

⑱ 発 明 者	青 山 隆	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑱ 発 明 者	安 達 英 美	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑱ 発 明 者	小 西 信 武	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑱ 発 明 者	細 川 義 和	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑲ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
⑳ 代 理 人	弁理士 小川 勝男	外2名	

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁性基板と、該基板上に形成された半導体層とを有する薄膜半導体装置において、プラズマCVD法により半導体層を形成する際、堆積温度とプラズマパワーの一方か両方を変化させることにより、結晶成分の含有率およびアモルファス成分の秩序度が異なる多層膜を形成し、続く熱処理により、アモルファス成分を結晶成分に本入ることを特徴とした薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜半導体装置に係り、特に液晶などを表示に用いるディスプレイに好適なアクティブマトリクス方式の薄膜トランジスタ、およびその製造方法に関する。

〔従来の技術〕

近年、液晶を表示に用いるディスプレイなどでは、各画素の液晶を駆動するために、各画素ごとにTFT(薄膜トランジスタ)を形成するアクティブマトリクス方式が用いられている。このTFTは普通、石英基板上に成長したPoly-Si(多結晶シリコン(Polycrystalline silicon))か、ガラス基板上に成長したアモルファスシリコン中に形成される。Poly-Siは通常、モノシラン(SiH₄)を原料として、減圧CVD法により640℃での温度で形成される。この堆積温度が約600℃以下になるとPoly-Siの結晶成分が急激に減少し、かわりにアモルファス成分が増加する。このため、減圧CVD法によるPoly-Siは約600℃以上の温度で堆積しなければならず、従って、通常、実質的な堆積温度が約600℃以下でしかないガラス板を基板として用いることはできない。石英基板は600℃以上の温度に十分耐えるが、コストが高いという欠点がある。また、石英基板を用いて640℃で堆積したPoly-Si膜中にも体積比にして約10%のアモルファス成

分が含まれている。このため、この種のキャリアの移動度は、電子、正孔いずれの場合も約 $10 \text{ cm}^2/\text{v.s}$ という単結晶シリコンの値と比べるとはるかに低い値であり、この値を用いてTFTを製作しても、ディスプレイとして応答速度が小さく、鮮明な表示を得るにはまだ十分とはいえない。

(“多結晶SiTFTとその応用”と題する日本学術振興会アモルファス材料 第147委員会 第7回研究会資料 P24 記載の論文参照)

アモルファスSiは、通常350℃以下のプラズマCVD法により堆積される。素子は逆スタガー構造をとる場合が多い。この種のキャリア移動度は $1 \text{ cm}^2/\text{v.s}$ 以下であり、上記Poly-Siよりさらに小さい。この場合、ガラス基板を使用できる利点はあるが、表示素子としての応用がPoly-Si以上に限定される。例えばディスプレイを駆動するための周辺回路を一体化することは無理であり、またカラーテレビ表示はできず、せいぜいモノクロテレビに利用できるにすぎない。

(発明が解決しようとする問題点)

く、また周辺回路の一体化が可能が半導体膜を得ることである。

(問題点を解決するための手段)

本発明は、はじめプラズマCVD法により微結晶成分を多く含む層とアモルファス成分を多く含む層との多層膜を形成し、次に、この膜をガラス基板などの至点以下の低い温度で熱処理することによつて、微結晶成分を核としてアモルファス成分を結晶成分に変えることを特徴とする。

本発明は以下の点を見出すことによつて成し遂げられた。まず、アモルファス成分の“秩序度”なる概念を定義する。これはアモルファス成分中のシリコン原子間の平均結合数に相当するもので、完全な単結晶シリコンの結合数4の場合は秩序度1、シリコン原子1個を含む分子から成るガス(例えばSiH₄)の場合は秩序度0として、アモルファス成分の秩序度Tは $0 < T < 1$ とする。

(1) 微結晶成分を多く含むプラズマCVD膜中のアモルファス成分の秩序度は高い(大である)。

多結晶シリコンTFTのキャリア移動度は約 $10 \text{ cm}^2/\text{v.s}$ であり、トランジスタの応答速度は十分であるとはいえない。また、絶縁基板としての石英のコストが大であり、今後一層のディスプレイの大型化の大きな障害となつている。アモルファスシリコンTFTはガラス基板を使用しているためコスト的には問題はない。しかしながら、キャリアの移動度が通常 $1 \text{ cm}^2/\text{v.s}$ 以下であり、トランジスタの応答が非常に小さく、表示が不鮮明になるという問題がある。また、キャリアの移動度が小さいために、ディスプレイを駆動するための周辺回路を一体化できない。このためディスプレイ全体のコストを低減できないという問題がある。(“フルカラー表示の4～7インチ液晶ディスプレイが競々登場”と題する NIKKEI ELECTRONICS 1984. 11.19 P209 記載の論文参照)

本発明の目的は、安価でこのために至温度の低いガラス基板を用いて低温プロセスにより、キャリアの移動度が大きく、TFTの応答速度も大き

(2) アモルファス成分を多く含むプラズマ

CVD膜中のアモルファス成分の秩序度は低く(小に)なる場合がある。

(3) 微結晶成分とアモルファス成分の両方を含む混合系を熱処理する場合、アモルファス成分の秩序度が低い(小さい)ほど結晶成分に変りやすい。

本発明を具体的に述べれば次のようになる。ガラス基板上に温度400℃、プラズマパワー 0.4 W/cm^2 の条件で微結晶成分を多く含む半導体層を形成する。次に、温度300℃、プラズマパワー 0.2 W/cm^2 の条件でアモルファス成分を多く含む半導体層を形成する。この過程を繰り返して多層膜を形成する。次に、この層状の半導体膜を580℃の温度で4時間熱処理し、アモルファス成分を結晶成分に変えて全体として結晶成分の多い半導体膜を得る。

本発明を更に具体的に述べれば次のようになる。温度400℃、パワー 0.4 W/cm^2 の条件で堆積した膜をラマン法やX線回折法によつて

調べると多量の結晶成分を含む。また、この膜を走査型電顕 (SEM) や透過型電顕 (TEM) によつて観察すると結晶成分がモザイク状に散りばめられていることがわかる。従つて、この膜の断面構造は模式的に示すと第1図 (a) の2のようになる。2-aは結晶成分を示し、2-bは秩序度の高いアモルファス成分を示す。次に、温度300℃、パワー0.2W/cm²の条件で増殖した膜をラマン法やX線回折法によつて調べると、ほとんどアモルファス成分で結晶成分は含まれていない。この膜を前と同様に、SEMやTEMによつて観察すると膜質は均一であることがわかる。従つて、この膜の断面構造は模式的に示すと第1図 (a) の3のようになる。次に、この層状の半導体膜を580℃の温度で4時間熱処理すると、結晶成分2-aが秩序度の低いアモルファス領域3に拡大していく。このとき、結晶成分2-aは秩序度の高いアモルファス領域2-bにはわずしか拡大していかない。従つて、熱処理後は第1図 (b) に示すように、結晶成分は2-aと4で

示した領域になる。

次に、単層のプラズマCVD膜を熱処理しても結晶成分を増加させることには限界があることを示す。第2図はパワーを一定にして増殖温度を変えたとき、熱処理前後で結晶成分 (結晶含有率) がどのように変化するかを示す。増殖後の膜では、温度の上昇と共に結晶含有率は増加し、400℃で最大となつてから減少する。熱処理後の結晶含有率の増加に着目すると、300℃のものと600℃のものが小さい。これは、300℃で増殖した膜にはほとんど結晶成分がないため、また600℃で増殖した膜には、秩序度の高いアモルファス成分しかないためであると考えられる。以上から、いずれの温度で増殖した単層膜も熱処理によつて十分な結晶成分の増加が期待できないことがわかる。

(作用)

本発明では、温度とプラズマパワーを制御することにより、微結晶を含む層と秩序度の低いアモルファス成分を含む層を調製して形成するために

長く熱処理過程で、微結晶成分を核としてアモルファス成分が結晶成分に変換する。これは、秩序度の低いアモルファス成分はシリコン原子間の結合数が少なく、原子配列が乱雑であるために低い熱処理過程における小さな熱エネルギーにより、シリコン原子間の結合を作り直して結晶成分と同じ原子配列をとるようになるからである。もし、微結晶成分を含む半導体層のみを形成すると、ここに含まれているアモルファス成分は、増殖中に大きな熱エネルギーとプラズマエネルギーを受けるために秩序度が壊れてしまう。このため、この層だけを低温 (500℃) 熱処理しても、アモルファス成分の結合を作り直して微結晶成分と同じ原子配列をとらせることはできない。従つて、結晶成分の大きな増加は期待できない。

次に、結晶成分の量 (含有率) とキャリアの移動度の関係について述べる。結晶成分とアモルファス成分とからなる半導体では、キャリアは前記半導体の自由電子の性質として、秩序度の高いホッピングの距離が長い方向により移動していく。アモ

ルファス成分を減らし結晶成分を増加させることは2つの効果でキャリアの移動度を大きくする。1つは、移動度そのものが小さいホッピング領域を減少させること。他の1つは、トラップ密度が減少するために、結晶成分内のキャリアのポテンシャル障壁が小さくなることである。半導体膜の結晶含有率を90%から95%に増加させると、キャリアの移動度は約10cm²/v.s から50cm²/v.s以上に増加する。

(実施例)

以下、本発明の一実施例を説明する。第3図は本発明を用いたでFで全体の断面構造を示す。基板は温度500℃のガラス板である。基板を400℃に保ち、水素で5%に希釈したモノシランガスを原料として、圧力を約1 Torrとする。高周波電力を0.4W/cm²として、プラズマCVD法により微結晶成分とアモルファス成分を含む層を1000Å増殖させる。ラマンスペクトル法によると、この層の結晶含有率は約10%である。次に、反応室内に水素のみを導入して、基板温度を

300℃まで冷却する。プラズマパワーを0.2 W/cm²として、再び5%モノシランガスを流してアモルファス成分のみの層を100Å増設させる。この操作を3回繰り返して全体で600Åの半導体層を形成する。次に反応炉を真空で1気圧にし、基板温度を580℃として4時間保つ。このとき三層のアモルファス層は結晶成分に変換する。この層をアイランド化した後、常圧CVD法によりゲート絶縁膜用のSiO₂膜を増設させる。次に、プラズマCVD法によりホスフィンをドーピングさせながら、300℃でゲート電極用α層を0.15μm増設させる。次にホットエッチングの後、リン(P)を50keVのエネルギーで $5 \times 10^{18} \text{ cm}^{-2}$ のドーズ量で打込みソースとドレイン領域を形成する。続いて、580℃、4時間の熱処理でイオン打込み層のリンを活性化する。次に、PSG (Phospho Silicate Glass) とAlを蒸着する。また、透明電極であるITOをスパッタ法により増設させる。ITOを増設したもう一枚のガラス基板との間にTN (Twisted Nematic)

型の液晶を封入して表示装置が完成する。本実施例のTFTのチャネル幅、チャネル長はそれぞれ20μm、10μmである。本実施例のI-Vカブのgmから求めた電界効果移動度は約50 cm²/V.sである。また、TFTの作動時、停止時における電流比I_{on}/I_{off}は約 1×10^6 となる。

〔発明の効果〕

本発明によれば、歪歪度の低いガラス基板上に結晶成分のアモルファス成分に対する比が大きくこのためキャリアの移動度が大きく、ひいてはTFTを作製したときにトランジスタの応答速度が大きい半導体層を得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例による多層膜を模式的に表した断面図、第2図はプラズマCVD法による多層膜における結晶含有率の増設温度依存性の様子、第3図は本発明によるTFTの例を示す断面図である。

1…絶縁基板、2a…結晶成分、2b…アモルファス成分、5…チャネル領域、6…ソース、8…

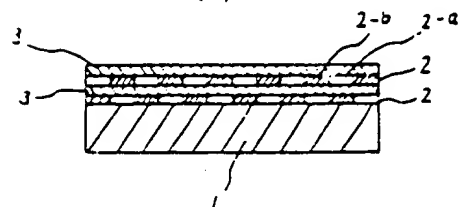
ゲート絶縁膜、9…ゲート電極、10…酸化膜、12…パッシベーション膜、13…透明電極。

代理人 井崎士 小川勝男

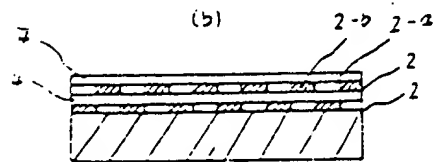


第1図

(a)

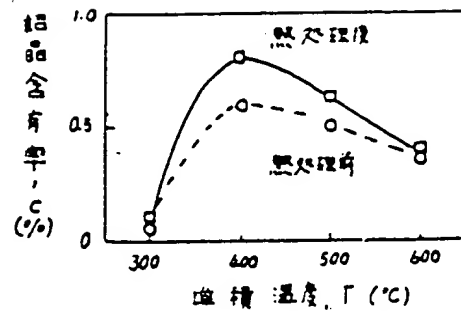


(b)



1…絶縁基板
2…結晶成分を含む層
2a…結晶成分
2b…アモルファス成分
3…アモルファス成分が結晶成分に変わった層
4…透明電極

第2図



第3図

